

TRANSLATION OF OFFICE LETTER**Main Text :**

Please submit supplemental descriptions, experimental data, amended claims, and amended drawings for Patent Application No. 91,104,229 within sixty (60) days after receiving this letter.

If the applicant does not agree to submit or the amended specification and drawings are not submitted in time, this application will be examined with the original contents.

Description:

1. This Office Letter has been issued as per the stipulation of Articles 44 and 44-1 of the Patent Law and Article 28 of the Enforcement Rules of the Patent Law.

2. This application has been examined and considered as follows:

(A) The present patent application "Group III-V Compound Semiconductor Crystal Structure and Method of Epitaxial Growth of the Same as Well as Semiconductor Device Including the Same" is primarily characterized in that: carrying out an epitaxial growth of a Group III-V compound semiconductor layer over a base material having a crystal structure by use of a mask, wherein said mask satisfies the equation (1):

$$h \geq (w/2) \tan \theta \quad \dots (1)$$

where " θ " is a base angle of a facet structure of said Group III-V compound semiconductor layer on said epitaxial growth; " h " is a thickness of said mask; and " w " is an opening width of said mask at its lower level, and said opening width is defined in a direction included in a plane which is vertical to both said surface of said base material and said side face of said facet structure.

(B) In view of the contents of the present application, the semiconductor

layered structure according to the present application is primarily characterized in that the use of the mask satisfying the Equation (1). However, claim 24 lacks such a characteristic which, instead, is put in its dependent claim 25. Thus, an incorporation of claims 24 and 25 should be made. Similarly, claims 38 and 39 should be incorporated together.

(C) In view of the contents of the present application, claims 52 and 55 mention that an upper region has a crystal structure with a tilt angle of at most 100 seconds and a twist angle of at most 50 seconds, respectively. In order to obtain the high quality crystal structure and semiconductor device, however, it is necessary to also use the mask satisfying the Equation (1), not only the condition of a tilt angle of at most 100 seconds or a twist angle of at most 50 seconds. The contents of the present application do not describe how to obtain these data of the 100 seconds and 50 seconds. Thus, the experimental processes and supplemental descriptions should be provided.

(D) All claims of the present application refer in general to Group III-V compound semiconductors, and the contents of the present invention is also not restricted to any kind of Group III-V compound semiconductors. However, it is suspicious whether all kinds of Group III-V compound semiconductors are applicable. Please submit experimental processes and data with respect to each kind of Group III-V compound semiconductors, for demonstrating their applicability to achieve the object of the present application.

(E) The characteristic relating to a tilt angle of at most 100 seconds has been disclosed in Taiwan Patent Publication No. 451,308 and U.S. Patent No. 5,569,954. The applicant should submit supplemental descriptions.

(F) Figs. 1 to 3 and 8 should be replaced with clearer drawings.

(G) The examination of this application will be postponed till the experimental data and supplemental descriptions are submitted according to the points mentioned above.

92. 2. 26

92021332

正本

經濟部智慧財產局 函

受文者：日本電氣股份有限公司（代理人：周良謀

先生）

機關地址：台北市辛亥路二段一八五號三樓

傳真：(02) 二七三五四三八五

如有疑問請電洽(02) 二七三八〇〇〇七分機九〇三七

速別：速件

密等及解密條件：

發文日期：中華民國九十二年二月二十四日

發文字號：(九二)智專一(一)04069字第〇九二二〇一八二三八〇號

附件：

主旨：請於文到次日起六十日內，提出第〇九一一〇四二二九號專利申請案補充說明、實驗數據、申請專利範圍、圖式修正本（頁），送局憑辦，逾限或不同意補充、修正，本局即依原申請內容逕予審定，請查照。

說明：

一、依專利法第四十四條、第四十四條之一、專利法施行細則第二十八條及本局九十一年十一月八日智法字第〇九一八六〇〇一一八一〇號公告之規定辦理並繳修正規費新台幣一千元正（如有補充、修正說明書或圖式者，應備具補充、修正申請書一式二份，並檢送補充、修正部份劃線之說明書或圖式修正頁一式二份及補充、修正後無劃線之說明書或圖式替換頁一式三份；如補充、修正後致原說明書或圖式頁數不連續者，應檢附補充、修正後之全份說明書或圖式一式三份至局）

新竹市東大路一段一一八號十樓

周良謀 先生

雙掛

發文文號：09220182380

第一頁

c:\A9200049.157

09220182380

二、本案經審查認為：

(一) 本案「三五族化合物半導體結晶構造及其磊晶生長方法與包含此結晶構造之半導體裝置」其主要特徵為藉由使用一遮罩，進行一三五族化合物半導體層之磊晶生長於一具有結晶構造之基底材料上方，其中該遮罩滿足方程式(1)： $h \geq w/2 \cdot \tan \theta$ ，此處「 θ 」為該磊晶生長上該三五族化合物半導體層之小平面結構之底角，「 h 」為該遮罩之厚度；且「 w 」為該遮罩在其下位準處之開口寬度，且該開口寬度係定義在包括於垂直於該基底材料之表面與該小平面結構之側面的平面之方向上。

(二) 申請專利範圍第一項第七行「 h 」和第八行「 h 」重覆，但定義不一樣，有一個是錯的，應予修正。

(三) 從本案內容觀之，本案半導體層結構均由遮罩滿足方程式(1)為其主要特徵，然申請專利範圍第24項卻缺乏此一特徵，而放在附屬項第25項，請合併之，同理第38項和39項應予合併。

(四) 從本案內容觀之，申請專利範圍第52項和第55項分別所提的上區域具有傾斜角最多為100秒的結晶結構及扭轉角最多為50秒的結晶構造，能得到高品質的晶體結構及半導體裝置，須配合遮罩滿足方式程式(1)，並非無條件，只面傾斜角少於100秒或扭轉角小於50秒，且這些數據100秒和50秒，本案內容並未說明如何獲得，請提供實驗過程及補充說明。

(五) 本案申請專利範圍均泛指三五族化合物半導體，但本案內容也未提供任何一種三五族半導體，然而三五族化合物半導體，種類繁多，是否都適合，難以相信，請提出每一種三五族化合物半導體實驗過程和數據，本說明其能達到本案的目的。

(六) 傾斜角小於100秒，已見於中華民國專利第451308號（如附件一）及美國專利US 5569954（如附件二），請申請人補充說明。

(七) 圖式第1至3圖及第8圖請以工業製圖法繪製。

(八) 綜上所述，請申請人提實驗數據及補充說明，再予審查。

正本：日本電氣股份有限公司（代理人：周良謀 先生）

副本：

局長
蔡練生

依照分層負責規定
授權單位主管決行

Attachment

[11]公告編號: 451308

[44]中華民國 90年(2001) 08月21日

發明

全 4 頁

[51] Int.Cl. 06: H01L21/20B
H01S3/18
H01L33/00

[54]名 稱: GaAs單結晶晶圓及GaAs液相磊晶晶圓

[21]申請案號: 089114450

[22]申請日期: 中華民國 89年(2000) 07月19日

[30]優先權: [31]11-218257

[32]1999/08/02 [33]日本

[72]發明人:

森分 達也

日本

[71]申請人:

住友電氣工業股份有限公司

日本

[74]代理人: 陳長文 先生

附件一

1

2

[57]申請專利範圍:

- 1.一種 GaAs 單結晶晶圓, 其特徵為, 以 Si 做為摻雜物, 將 n 型跟 p 型的 GaAs 或是 AlGaAs 薄膜做為液相磊晶成長的 GaAs 單結晶底板, 從 {100} 面傾斜 $0.02^\circ \sim 0.2^\circ$ 。
- 2.如申請專利範圍第 1 項之 GaAs 單結晶晶圓, 其特徵為, 以 Si 做為摻雜物, 將 n 型跟 p 型的 GaAs 或是 AlGaAs 薄膜做為液相磊晶成長的 GaAs 單結晶底板, 從 {100} 面傾斜 $0.03^\circ \sim 0.15^\circ$ 。
- 3.一種 GaAs 液相磊晶晶圓, 其特徵為, 從 {100} 面傾斜 $0.02^\circ \sim 0.2^\circ$ 的 GaAs 單結晶晶圓之上, 以 Si 做為摻雜物, 將 n 型跟 p 型的 GaAs 或是 AlGaAs 薄膜做為液相磊晶成長之 GaAs 液相磊晶晶圓。
- 4.如申請專利範圍第 3 項之 GaAs 液相磊晶晶圓, 其特徵為, 從 {100} 面傾斜 $0.03^\circ \sim 0.15^\circ$ 的 GaAs 單結晶晶圓之上, 以 Si 做為摻雜物, 將 n 型跟 p 型的

GaAs 或是 AlGaAs 薄膜做為液相磊晶成長之 GaAs 液相磊晶晶圓。

圖式簡單說明:

第一圖含有作為摻雜劑的兩性不純物質 Si 的 GaAs 薄膜, 以液相磊晶法使其成長的溫度控制圖。橫軸代表時間, 縱軸代表溫度。

第二圖使液相磊晶成長的磊晶晶圓的斷面 pn 接合圖。

第三圖為了說明在含有 step 跟段的 GaAs(100)基板的面, 使 GaAs 薄膜液相磊晶成長的說明圖。

第四圖切割自 {100} 偏離角度(傾斜角度)由 0° 到 0.25° 為止, 每隔 0.01° 刻化刻度的基板; 於其上, 為使 Si 摻雜 GaAs 薄膜成長, 而測定出現楔型 pn 接合的晶圓比率結果之圖表。橫軸代表楔型 pn 接合的出現頻率(%), 縱軸係為自 {100} 處的偏離角度。

第五圖為說明於特許第 2914246 號

(2)

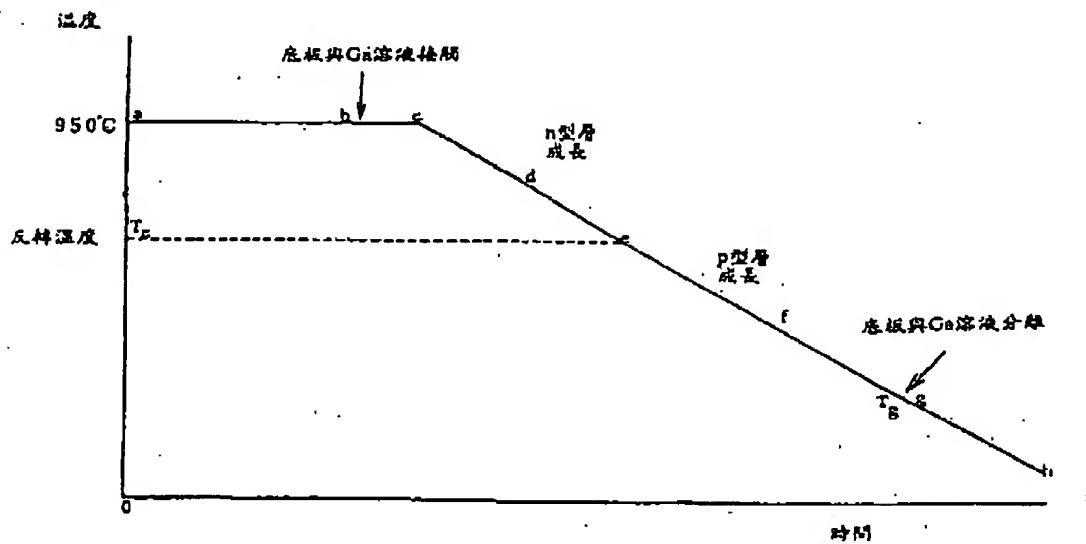
3

4

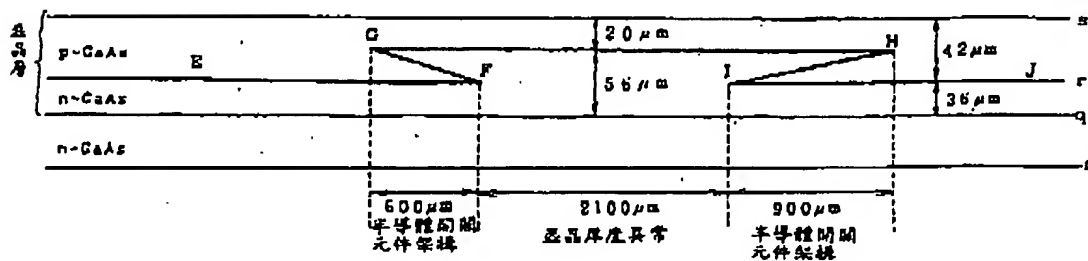
之第一圖中，所記載之閃電型半導體開關元件，而顯示的磊晶晶圓剖面圖。

第六圖為說明於特許第 2914246 號

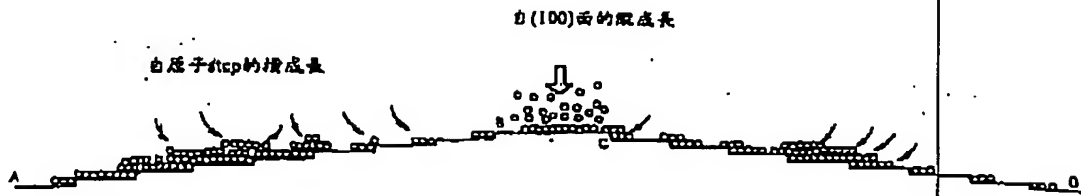
之第三圖中，所記載之磊晶成長方向與原子步階之成長方向，所顯示的 GaAs 晶圓剖面圖。



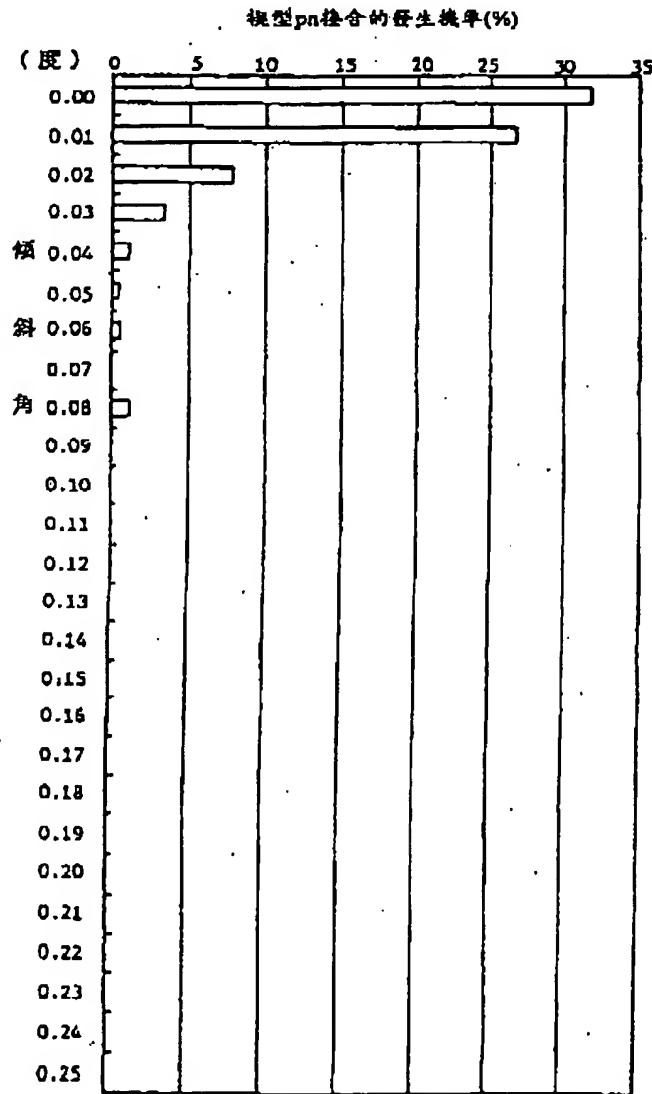
第一圖



第二圖

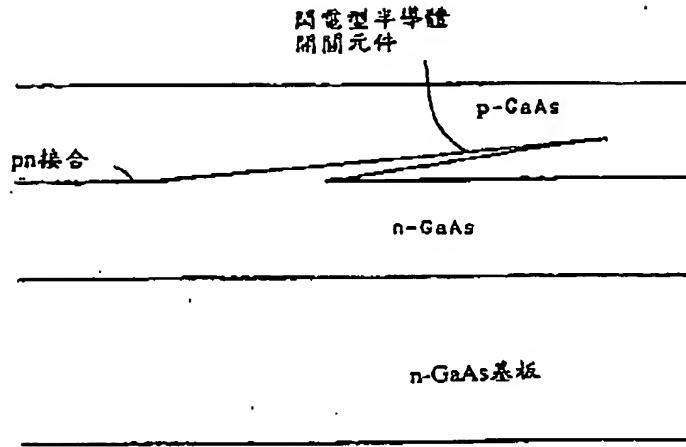


第三圖 GaAs基板

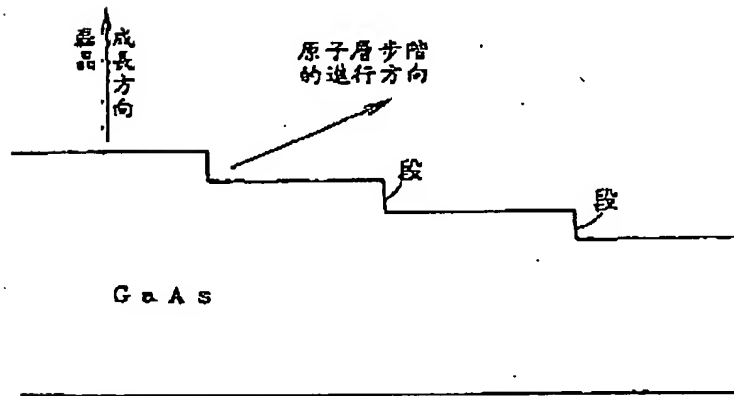


第四圖

(4)



第五圖



第六圖